

Mis à jour le 18/08/2026

S'inscrire

## Formation ModelSim

3 jours (21 heures)

### Présentation

ModelSim est un environnement de simulation HDL permettant de vérifier, déboguer et valider des conceptions VHDL, Verilog et SystemVerilog avec une approche interactive et rigoureuse. Grâce à ses fenêtres de debug, à l'analyse des signaux et aux scripts de simulation, ModelSim s'impose comme un outil essentiel pour fiabiliser les architectures numériques.

Notre formation ModelSim vous permet de dépasser l'usage basique de l'outil pour maîtriser les méthodes de simulation utilisées en contexte de développement et de vérification.

Vous apprendrez à organiser un projet, à compiler et exécuter une simulation, à interpréter les résultats, à exploiter efficacement les waveforms et à structurer votre démarche de débogage.

La formation aborde également l'automatisation via Tcl, la gestion des bibliothèques, les bonnes pratiques de testbench et les réflexes indispensables pour accélérer l'analyse des comportements fonctionnels.

À l'issue du parcours, vous serez capable de conduire des simulations plus fiables, de diagnostiquer plus vite les erreurs de conception et de travailler avec une méthodologie adaptée aux projets électroniques en environnement professionnel.

Comme toutes nos formations, celle-ci vous présentera **la dernière version stable** de la technologie et ses nouveautés.

### Objectifs

- Comprendre le rôle de ModelSim dans un flux de vérification HDL.
- Créer, organiser et compiler un projet de simulation de manière structurée.
- Exécuter des simulations et interpréter les résultats dans les différentes fenêtres de debug.

- Exploiter les waveforms, les signaux et les messages pour diagnostiquer les anomalies.
- Automatiser les tâches courantes avec des scripts Tcl et des commandes de simulation.
- Adopter des bonnes pratiques pour fiabiliser les tests et accélérer le débogage.

## Public visé

- Ingénieur électronique
- Ingénieur vérification
- Développeur FPGA
- Concepteur VHDL
- Concepteur Verilog

## Pré-requis

- Connaissances de base en VHDL ou en Verilog.
- Compréhension des fondamentaux de la conception numérique et des bancs de test.
- Pratique initiale d'un environnement de développement technique ou de simulation HDL.
- Notions de lecture de chronogrammes et d'analyse de signaux.

## Pré-requis techniques

- Un ordinateur récent avec suffisamment de mémoire pour exécuter ModelSim de façon fluide.
- Une connexion réseau stable, en Wi-Fi ou en Ethernet, pour les ressources de formation à distance.
- Une installation fonctionnelle de ModelSim ou un environnement de laboratoire fourni par le formateur.
- Un éditeur de texte ou un IDE adapté aux fichiers VHDL et Verilog.
- Un micro et un casque si la session se déroule en classe virtuelle.

## Programme de notre formation ModelSim

[Jour 1 - Matin]

### Découvrir l'environnement ModelSim

- Rôle de ModelSim dans un flux de vérification HDL.
- Présentation de l'interface, des fenêtres principales et de la logique de navigation.
- Gestion des projets, des bibliothèques et de l'arborescence de travail.
- Différences entre simulation interactive et exécution en ligne de commande.
- Organisation des fichiers sources, des testbenches et des ressources associées.
- Atelier pratique : prise en main de l'interface, création d'un projet et import d'un premier jeu de sources.

[Jour 1 - Après-midi]

## Compiler et lancer une simulation

- Compilation des fichiers VHDL et Verilog.
- Résolution des erreurs de syntaxe et lecture des messages du simulateur.
- Élaboration d'une première configuration de simulation.
- Exécution d'un scénario de test simple et observation des résultats.
- Gestion des dépendances entre entités, architectures et modules.
- Atelier pratique : compiler un design mixte et corriger les erreurs bloquantes jusqu'à l'obtention d'une simulation valide.

[Jour 2 - Matin]

## Analyser les signaux et les chronogrammes

- Utilisation de la fenêtre Wave pour suivre l'évolution temporelle des signaux.
- Ajout, regroupement et mise en forme des signaux utiles au debug.
- Lecture des états logiques, des transitions et des temporisations.
- Exploration des fenêtres de structure, de variables et de messages.
- Méthode d'analyse pour isoler une anomalie fonctionnelle.
- Atelier pratique : construire un chronogramme lisible et identifier l'origine d'un comportement inattendu.

[Jour 2 - Après-midi]

## Déboguer efficacement une conception

- Approche méthodique du débogage fonctionnel.
- Utilisation des breakpoints, des signaux observés et des messages d'exécution.
- Analyse des causes fréquentes d'écart entre intention et simulation.
- Gestion des cas de blocage, des boucles et des erreurs de connexion.
- Bonnes pratiques pour réduire le temps d'investigation.
- Atelier pratique : diagnostiquer une panne de simulation et proposer une correction argumentée.

[Jour 3 - Matin]

## Automatiser avec Tcl et les scripts

- Principes du scripting dans ModelSim.
- Commandes essentielles pour compiler, simuler et relancer rapidement un scénario.
- Création de scripts réutilisables pour standardiser les lancements.
- Paramétrage d'un flux de travail plus productif pour les équipes.
- Introduction aux habitudes de nommage et de structuration des scripts.
- Atelier pratique : écrire un script Tcl de simulation et l'exécuter sur un projet complet.

[Jour 3 - Après-midi]

## Industrialiser la vérification

- Construction d'un environnement de test plus robuste.
- Réutilisation des scénarios et capitalisation sur les campagnes de simulation.
- Bonnes pratiques pour documenter les résultats et partager les observations.
- Organisation d'une démarche de validation adaptée à un contexte projet.
- Révisions des points clés pour consolider l'autonomie sur l'outil.
- Atelier pratique : réaliser une mini campagne de vérification et produire une restitution exploitable par l'équipe projet.

## Sociétés concernées

Cette formation s'adresse à la fois aux particuliers ainsi qu'aux entreprises, petites ou grandes, souhaitant former ses équipes à une nouvelle technologie informatique avancée ou bien à acquérir des connaissances métiers spécifiques ou des méthodes modernes.

## Positionnement à l'entrée en formation

Le positionnement à l'entrée en formation respecte les critères qualité Qualiopi. Dès son inscription définitive, l'apprenant reçoit un questionnaire d'auto-évaluation nous permettant d'apprécier son niveau estimé sur différents types de technologies, ses attentes et objectifs personnels quant à la formation à venir, dans les limites imposées par le format sélectionné. Ce questionnaire nous permet également d'anticiper certaines difficultés de connexion ou de sécurité interne en entreprise (intraentreprise ou classe virtuelle) qui pourraient être problématiques pour le suivi et le bon déroulement de la session de formation.

## Méthodes pédagogiques

Stage Pratique : 60% Pratique, 40% Théorie. Support de la formation distribué au format numérique à tous les participants.

## Organisation

Le cours alterne les apports théoriques du formateur soutenus par des exemples et des séances de réflexions, et de travail en groupe.

## Validation

À la fin de la session, un questionnaire à choix multiples permet de vérifier l'acquisition correcte des compétences.

## Sanction

Une attestation sera remise à chaque stagiaire qui aura suivi la totalité de la formation.