

Mis à jour le 18/08/2026

S'inscrire

Formation AMD Vivado

3 jours (21 heures)

Présentation

AMD Vivado est l'environnement de référence pour concevoir, intégrer et valider des designs FPGA modernes avec synthèse, implémentation, contraintes temporelles et débogage matériel. Cette formation vous guide vers une pratique plus fluide et plus robuste du flux Vivado. Notre formation AMD Vivado vous permet d'aller au-delà des usages essentiels pour maîtriser les étapes clés d'un projet FPGA, depuis la création du design jusqu'à la génération du bitstream. Vous apprendrez à structurer un projet, à exploiter efficacement l'interface graphique et Tcl, à gérer les IP, les contraintes XDC et l'analyse de timing afin de fiabiliser vos développements. À l'issue de la formation, vous serez en mesure d'améliorer vos cycles de conception, de mieux interpréter les résultats de synthèse et de placement-routage, et de préparer un design plus stable pour la mise en production. Cette formation aborde également les bonnes pratiques de simulation, de programmation, de debug et de méthodologie de conception pour renforcer la qualité de vos projets sur les plateformes AMD.

Comme toutes nos formations, celle-ci vous présentera **la dernière version stable** de la technologie et ses nouveautés.

Objectifs

- Comprendre le flux de développement AMD Vivado de bout en bout.
- Créer et organiser un projet FPGA avec une méthode claire et reproductible.
- Utiliser Vivado IDE et Tcl pour automatiser les opérations courantes.
- Définir et vérifier les contraintes XDC pour maîtriser le timing.
- Analyser les résultats de synthèse, d'implémentation et de génération du bitstream.
- Mettre en œuvre des pratiques de validation et de débogage adaptées à un contexte projet.

Public visé

- Ingénieur FPGA
- Développeur embarqué
- Concepteur électronique

- Architecte système
- Technicien conception numérique

Pré-requis

- Connaissances de base en logique numérique et en conception électronique.
- Pratique préalable d'un environnement de développement technique ou d'un outil de CAO.
- Notions sur les langages de description matériel, par exemple VHDL ou Verilog.
- Compréhension générale des contraintes de timing et des flux de validation.
- Capacité à lire une documentation technique en anglais.

Pré-requis techniques

- Un ordinateur récent avec suffisamment de mémoire vive et d'espace disque pour installer AMD Vivado.
- Un système d'exploitation compatible avec la version retenue de Vivado Design Suite.
- Une connexion réseau stable pour l'installation des composants, des licences et des mises à jour.
- Un écran confortable pour manipuler l'IDE, les rapports et les fenêtres de débogage.
- En formation à distance, un micro et un casque pour suivre les démonstrations et les ateliers.

Programme de notre formation AMD Vivado

[Jour 1 - Matin]

Découverte du flux Vivado

- Présentation de l'écosystème AMD Vivado et de ses usages dans la conception FPGA.
- Repères sur le flux RTL to bitstream, de l'entrée source jusqu'à la programmation cible.
- Prise en main de l'interface, des vues projet, des rapports et des zones de navigation.
- Différences entre mode projet et mode non projet, avec leurs impacts sur l'organisation du travail.
- Introduction aux notions de synthèse, d'implémentation, de timing et de génération de bitstream.
- Atelier pratique : lancer Vivado, créer un premier projet et identifier les principaux écrans de travail.

[Jour 1 - Après-midi]

Création et structuration de projet

- Ajout des sources HDL, des fichiers de contraintes et des éléments de hiérarchie.
- Gestion des paramètres de projet, des jeux de fichiers et des options de synthèse.
- Organisation des IP et compréhension du catalogue de composants réutilisables.

- Lecture des messages, des alertes et des premiers indicateurs de qualité du design.
- Bonnes pratiques de nommage, de classement et de maintenance d'un projet partagé.
- Atelier pratique : importer un design simple, configurer le projet et vérifier la cohérence des sources.

[Jour 2 - Matin]

Contraintes et timing

- Rôle des fichiers XDC dans la description temporelle et physique du design.
- Définition des horloges, des ports, des délais d'entrée et de sortie.
- Lecture des rapports de timing et repérage des chemins critiques.
- Compréhension des contraintes courantes, telles que false path et multicycle path.
- Impact des contraintes sur la qualité de la synthèse et de l'implémentation.
- Atelier pratique : écrire un premier ensemble de contraintes XDC et interpréter un rapport de timing.

[Jour 2 - Après-midi]

Synthèse et implémentation

- Déroulé de la synthèse et lecture des résultats obtenus par l'outil.
- Principes du placement et du routage, avec les critères d'optimisation associés.
- Analyse des rapports de ressources, de congestion et de qualité de routage.
- Utilisation des vues de schéma et des rapports pour localiser les points de vigilance.
- Approche méthodologique pour corriger un design et relancer un cycle d'optimisation.
- Atelier pratique : exécuter synthèse et implémentation, puis ajuster le design à partir des rapports.

[Jour 3 - Matin]

Automatisation et intégration

- Introduction à Tcl pour automatiser les tâches répétitives et fiabiliser les procédures.
- Utilisation du Tcl Console et exécution de scripts dans l'environnement Vivado.
- Création de commandes de base pour générer, paramétrer et lancer un flux de travail.
- Gestion des IP, des sources et des variantes de configuration dans une logique industrialisable.
- Préparation d'un flux plus robuste pour les équipes et les projets multi-référentiels.
- Atelier pratique : écrire et exécuter un script Tcl simple pour lancer une séquence de traitement.

[Jour 3 - Après-midi]

Validation, programmation et debug

- Génération du bitstream et préparation de la programmation de la cible.
- Utilisation des outils de Hardware Manager pour détecter et configurer la carte.
- Premiers réflexes de validation fonctionnelle et de vérification post-implémentation.
- Principes de debug matériel et lecture des signaux utiles au diagnostic.
- Récapitulatif des bonnes pratiques pour sécuriser un flux de développement FPGA.
- Atelier pratique : programmer une cible de test et réaliser une session de vérification et de diagnostic.

Sociétés concernées

Cette formation s'adresse à la fois aux particuliers ainsi qu'aux entreprises, petites ou grandes, souhaitant former ses équipes à une nouvelle technologie informatique avancée ou bien à acquérir des connaissances métiers spécifiques ou des méthodes modernes.

Positionnement à l'entrée en formation

Le positionnement à l'entrée en formation respecte les critères qualité Qualiopi. Dès son inscription définitive, l'apprenant reçoit un questionnaire d'auto-évaluation nous permettant d'apprécier son niveau estimé sur différents types de technologies, ses attentes et objectifs personnels quant à la formation à venir, dans les limites imposées par le format sélectionné. Ce questionnaire nous permet également d'anticiper certaines difficultés de connexion ou de sécurité interne en entreprise (intraentreprise ou classe virtuelle) qui pourraient être problématiques pour le suivi et le bon déroulement de la session de formation.

Méthodes pédagogiques

Stage Pratique : 60% Pratique, 40% Théorie. Support de la formation distribué au format numérique à tous les participants.

Organisation

Le cours alterne les apports théoriques du formateur soutenus par des exemples et des séances de réflexions, et de travail en groupe.

Validation

À la fin de la session, un questionnaire à choix multiples permet de vérifier l'acquisition correcte des compétences.

Sanction

Une attestation sera remise à chaque stagiaire qui aura suivi la totalité de la formation.